



## 基本信息:

姓名: 陈昱凡

性别: 男

电话: 18888039797

邮箱: chen yufan0529@qq.com

## 教育背景:

| 学位 | 学校   | 学院        | 时间            |
|----|------|-----------|---------------|
| 硕士 | 东南大学 | 集成电路学院    | 2024.9-2027.6 |
| 本科 | 东南大学 | 电子科学与工程学院 | 2020.9-2024.6 |

主修课程: 数字集成电路、模拟集成电路、嵌入式系统设计、数字 EDA、半导体器件基础

## 曾获奖项:

- 国家奖学金、一等学业奖学金、2 次 EDA 菁英挑战赛三等奖、集创赛省级二等奖

## 项目经验:

| 项目名称                       | 时间         |
|----------------------------|------------|
| 基于 TSMC N3P 的 PCIe 模块的物理实现 | 2026.04-至今 |

- 在 TSMC N3P 工艺条件下, 进行 PCIe6/CXL3.0 IP (link0 模块, 约 17.9M 规模) 的物理实现, 包括 partition(agent 辅助), floorplan, powerplan, placement, cts, route, eco 以及 DRC 修复和 LVS 检查
- 19 层金属互连条件下, 实现了 4 个端角下 1.25GHz 的时序收敛
- Agent 辅助进行 partition 划分, 解决了网表规模过大的问题, 预计 IP 成果交付 Egis

| 项目名称             | 时间              |
|------------------|-----------------|
| 基于图神经网络的标准单元合并框架 | 2025.05-2026.03 |

- 参与了与华为的合作项目 Mega Cell, 在 TSMC12nm 工艺条件下, 通过合并标准单元得到新的定制单元, 提升时序性能
- 该项目通过图神经网络等模块寻找和筛选最优模式, 合并后提升 TNS 和 WNS 指标
- 解决了合并收益最大化组合挑选的问题, 并通过前仿验证收益, 了解了 lib、lef 等与标准单元库相关的文件信息

| 项目名称            | 时间              |
|-----------------|-----------------|
| 考虑延时波动的静态时序分析算法 | 2024.11-2025.02 |

- 基于 EDA 菁英挑战赛数据集, 通过宽度优先搜索完成 SSTA 的时序计算, 并进一步改进模型
- 设计 GNN 模型, 通过消息传递机制和注意力机制模拟 MAX 操作的非线性行为, 从而捕捉电路中节点间复杂的时序依赖关系, 准确预测电路中各节点的到达时间和时间裕量
- 使用 python 语言构建图神经网络模型, 相关成果发表 ISEDA 一作

## 实习经历:

| 公司名称    | 时间        |
|---------|-----------|
| Cadence | 2026.4-至今 |

- 参与日常中后端研发及 cadence 内部 AAI Buildathon 比赛

| 公司名称              | 时间            |
|-------------------|---------------|
| 国家集成电路设计自动化技术创新中心 | 2025.5-2026.3 |

- 科研学习, 阅读文献, 主要方向为定制单元的标准单元库生成

## 个人优势:

大学英语四/六级 (CET-4/6), 具有良好的听说读写能力, 快速浏览英语专业文件及书籍

熟练掌握 innovus, primetime 等后端工具的使用

熟悉 python, tcl 等脚本语言, vim/gvim 的使用以及 linux 环境的使用